

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-303694

(43)Date of publication of application : 07.12.1989

(51)Int.Cl.

G11C 11/34

(21)Application number : 63-134658

(71)Applicant : FUJITSU LTD

(22)Date of filing : 01.06.1988

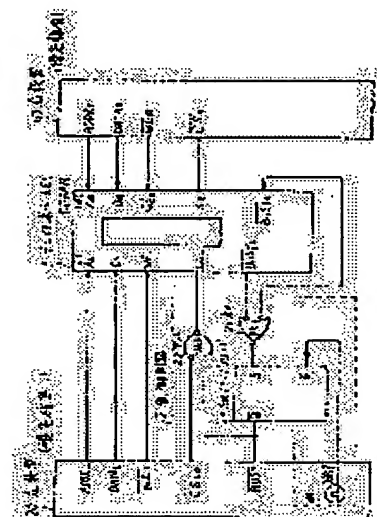
(72)Inventor : NAKAMURA TAKAHARU

### (54) CONTROL CIRCUIT FOR DUAL PORT MEMORY

#### (57)Abstract:

**PURPOSE:** To avoid the incapability of data transmission for access contention by always giving the priority of accessing to a memory cell to one of both ports, detecting the inhibition of its own accessing on the contention of accessing with the other and reaccessing with a reset signal.

**CONSTITUTION:** Accessing from a right port R facing to a device 10 which has priority is received by a control circuit 2, the accessing of a left port side L facing to a device 20 which does not have the priority detects the contention of accessing by an or gate 21, the contention is stored with setting an SR slip flop 22 and it is transmitted to the BUSY terminal of the left device 20. At the same time, it is detected that the accessing of its own L is inhibited at an and gate 23, the data writing of the left device 20 is inhibited and the accessing of the right device 10 is made prior. Then, the left device 20 resets the SR flop flop 22 again and reaccesses. Thus, the omission of transmitting data by the contention of accessing can be prevented.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平1-303694

⑤ Int. Cl.<sup>4</sup>  
G 11 C 11/34識別記号 庁内整理番号  
K-8522-5B

④ 公開 平成1年(1989)12月7日

審査請求 未請求 請求項の数 1 (全7頁)

⑬ 発明の名称 デュアルポートメモリの制御回路

⑰ 特 願 昭63-134658

⑱ 出 願 昭63(1988)6月1日

⑭ 発 明 者 中 村 隆 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑮ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

デュアルポートメモリの制御回路

## 2. 特許請求の範囲

左装置(20)と右装置(10)に対向する左右のポート(L,R)から内部の同一のメモリセル(11)にアドレスによりアクセスしてデータを書込み読み出して且つ先にアクセスしたポートからのデータ書き込みを優先し他ポートからの書き込みを停止させるデュアルポートメモリ(DPRAM)において、

例えば右装置(10)に常に前記メモリセル(11)へのアクセスの優先権を与え、

該左右のポート(L,R)の何れか一方のデータ書き込みの停止を検出するオアゲート(21)と該オアゲートの出力によりセットされ該セットされた出力を優先権の無い左装置(20)のアクセス停止信号の検出端子(BUSY)に伝達するSRフリップフロップ(22)と該SRフリップフロップの出力と前記左装置(20)からのアクセス信号(CS<sub>Lo</sub>)の同時入力を検

出し該検出出力を左ポート(L)のアクセス信号端子(CS<sub>L</sub>)に供給するアンドゲート(23)と、左装置(20)に該SRフリップフロップ(22)をリセットする信号(RBSY)を発生するリセット信号発生器(24)を設け、

優先権の無い左装置(20)のアクセスが優先権の有る右装置(10)のアクセスと競合した場合、オアゲート(21)の出力によりSRフリップフロップ(22)をセットし、SRフリップフロップ(22)の出力によりアンドゲート(23)にて左装置(20)のアクセスを停止させて右装置(10)のアクセスを優先させ、その後リセット信号発生器(24)の出力するリセット信号(RBSY)によりSRフリップフロップ(22)をリセットすることにより左装置(20)が再びアクセスするようにしてアドレス衝突を避けることを特徴としたデュアルポートメモリの制御回路。

## 3. 発明の詳細な説明

(概要)

相互に非同期に動作する左右の装置間に置かれ

データの送受を行うために使用される先発優先のデュアルポートラム DPRAMの両側装置からのアクセスのアドレス衝突を避ける制御回路に関し、

左右両側からのアクセスの競合時に、アクセスの遅れた側の装置からのデータの書込みが出来なくなつてデータ伝送が出来なくなるのを避けることを目的とし、

先にアクセスした装置からのデータ書込みを優先し他装置からの書込みを停止させる DPRAM において例えば右装置に常にアクセスの優先権を与え DPRAMの左右のポートの何れか一方のデータ書込みの停止BUSYを検出するオアゲートと該オアゲートの出力によりセットされ該出力を優先権の無い左装置のアクセス停止信号の出力端子BUSYに伝達するSRフリップフロップと該フリップフロップの出力と左装置からのアクセス信号CS<sub>L</sub>の同時入力を検出するアンドゲートと、左装置に該SRフリップフロップをリセットする信号RBSYを発生するリセット信号発生器を設け、優先権の無い左装置のアクセスが優先権の有る右装置のアクセスと競合

した場合、オアゲートの出力によりSRフリップフロップをセットし、SRフリップフロップの出力によりアンドゲートにて左装置のアクセスを停止させ、その後リセット信号発生器の出力のリセット信号RBSYによりSRフリップフロップをリセットすることにより左装置が再びアクセスするように構成する。

#### 〔産業上の利用分野〕

本発明は相互に非同期に動作する2種類の装置間でデータの送受を行うために使用されるデュアルポートRAM (以下 DPRAM) の両側装置からのアクセスの競合を避ける制御回路の構成に関する。

#### 〔従来の技術〕

DPRAM は、同一のメモリセルに左右2つのポートからデータの書込／読出のできる RAMである。このDPRAM を、互に非同期に動作する2種類の装置間、例えば第4図のブロック図に示す如く、マイクロプロセッサの制御回路20A と外部のデータ

入力回路10A の間に DPRAM 1A を置いて、両側回路10A, 20A が各々独自のタイミングで DPRAM 1A の同一のメモリセル11に書込／読出を行うことにより、互いのタイミングに無関係に、そのメモリセル11を介して相互にデータの伝送を行うことが出来る。

そして DPRAM 1A は、第5図の説明図にその一例を示す如く、左右の双方のポートWE<sub>L</sub>, CS<sub>L</sub>, OE<sub>L</sub>, WE<sub>R</sub>, CS<sub>R</sub>, OE<sub>R</sub> から内部の同一のメモリ・セルに対する書込が行われた時には、アドレス衝突によるメモリ・セルの内部のデータの破壊を防ぐために普通、アクセスの優先権を制御するコンテンション(アクセスの競合)制御のアービトレーションインタラプト回路が内蔵されている。

そして両ポートからのアドレスが一致した場合の調整機能(ポート・アービトレーション機能)は、2つのポートのアドレスのどちらが先に確定したかを監視し、先着側ポートに優先権を与えて無条件にアクセスを受け付けるとともに、後着側ポートの動作に対しては必要に応じて制限を加え

て達成している。この場合、後着側ポートのBUSY端子には両ポートのアドレスが一致している期間に対応して無条件に“L”が出力されると同時に、そのポートの書込みは禁止される。即ち外部から書込命令(WE=L)が与えられてもチップ内の書込制御回路はこれを無視し書込動作を行わない。

先着ポートのアドレスが変化して両ポートのアドレスが一致しなくなればBUSY出力は“H”にリセットされ、停止されていた後着ポートのアクセスが受け付けられる。この様にBUSY信号は書込動作を禁止するが読出動作に対しては影響を及ぼさない。なお、両ポートが全く同時に同一番地を選択した場合( $t_{AP} = 0$  nsの場合)にはLポートのアクセスが受け付けられる。一方、Rポートのアクセスが無条件で受け付けられるには、 $t_{AP}$  最小値を満足するようにRポートのアドレス及びチップセレクトCSを先に確定させねばならない。 $t_{AP}$  が中間のタイミングの場合は、チップ上に搭載された調停回路の判定により一方のポートのアクセスが受け付けられるが、何れのポートが受け付けられるかは

不定である。

〔発明が解決しようとする課題〕

従来の DPRAM による両側装置のデータ伝送方式は、DPRAM の左右双方のポートから同一のメモリセルに書込が行われた時のアクセスの優先権を制御するポート・アービトレーション機能が、上述の如く、基本的に先にアクセスしたポート側に優先権を与える様になっているため、アクセスの競合が発生した時に、アクセスが後になりアクセスを禁止された側は、そのアクセス競合を検出して対応することが出来ない場合には、データの伝送ができなくなってしまうという問題がある。

〔課題を解決するための手段〕

この問題は、DPRAM 1 の両ポートのうちの一方に常にメモリセルへのアクセスの優先権を与え、例えば優先権の有る装置 10 に対向する右ポート R からのアクセスは時間関係に無関係に常に受け、優先権の無い装置 20 に対向する左ポート L 側では、

を入力してその何れかを検出するオアゲート 21 と該ゲート 21 の出力によりセットされリセット信号 RBSY によりリセットされてその出力 Q を装置 20 のアクセス停止信号の検出端子 BUSY に伝達する SR フリップフロップ 22 と、該 SR フリップフロップ 22 の出力 Q と装置 20 からのアクセス制御信号 CS<sub>L</sub> の両者の同時入力を検出し、その検出出力を DPRAM 1 の左ポートのアクセス信号入力端子 CS<sub>L</sub> に接続したアンドゲート 23 と、リセット信号 RBSY を発生するリセット信号発生器 24 からなる制御回路であって、DPRAM 1 に対するアクセスの優先権の無い装置 20 からのアクセスが優先権の有る装置 10 のアクセスと競合した場合に、該アクセスの競合をオアゲート 21 にて検出し、アンドゲート 23 にて装置 10 のアクセスを優先し、リセット信号発生器 24 の出力のリセット信号 RBSY により SR フリップフロップ 22 をリセットすることにより、優先権の無い装置 20 が再度アクセスをするように制御する制御回路である。

アクセスの競合時に他方 R のアクセスにより自分 L のアクセスが禁止されたことを検出し、リセット信号 RBSY により再度アクセスするようにしてアドレス衝突を避けるようにする本発明のデュアルポート RAM の制御回路によって解決される。本発明のデュアルポート RAM の制御回路の構成を示す第 1 図の原理図において、

1 は、優先権の有る装置 10 と優先権の無い装置 20 の間に置かれ、両装置から互に非同期のタイミング CS でデータ D を入力して書込み読出して相手側へデータ D を送出するデュアルポートラム DPRAM である。

10 は、DPRAM 1 に対して常にアクセスの優先権を与えられるべき装置である。

20 は、DPRAM 1 に対するアクセスの優先権は無いが該アクセスの競合が発生した場合にそれを検出して再度アクセスをすることが出来る装置である。

2 は、DPRAM 1 の左ポートのアクセス不能を表すビジー信号 BUSY<sub>L</sub> と右ポートのビジー信号 BUSY<sub>R</sub>。

〔作用〕

本発明のデュアルポート RAM の制御回路は、先ずデュアルポートメモリ DPRAM 1 の左右の装置のうち、一方の装置、例えば右装置 10 に DPRAM 1 へのアクセスの優先権を付与する。そして制御回路 2 のリセット信号発生器 24 の出力 RBSY によって SR フリップフロップ 22 をリセットして該 SR フリップフロップ 22 の出力を "H" にすることから始まる。そして制御回路 2 のオアゲート 21 は、DPRAM 1 の左ポートのアクセス不能を表すビジー信号 BUSY<sub>L</sub> と右ポートのビジー信号 BUSY<sub>R</sub> を入力して論理和をとり BUSY<sub>L</sub> と BUSY<sub>R</sub> の何れか一方の発生を検出して、その検出出力により SR フリップフロップ 22 をセットしその出力 Q の符号を "L" にしてアクセス競合を記憶する。

SR フリップフロップ 22 は、その出力符号 "L" を優先権の無い装置 20 のアクセス停止信号の検出端子 BUSY に供給して両側ポートからのアクセスの競合発生を装置 20 へ伝えると同時に、アンドゲート 23 へ出力する。

アンドゲート23は、SRフリップフロップ22の出力Qと装置20からのアクセス制御信号CS<sub>L</sub>の両者の同時入力を検出し、その検出出力HをDPRAM1の左ポートのアクセス信号入力端子CS<sub>L</sub>に供給し、優先権の無い装置20からのデータ書き込みを停止させ優先権のある装置10からのデータ書き込みを行う。その後、優先権の無い装置20が、端子BUSYの符号“L”を見てアクセス競合が発生したことを知れば、リセット信号発生器24の出力のリセット信号RBSYにより、SRフリップフロップ22をリセットし再度アクセスする。

本発明のデュアルポートメモリの制御回路は、上記の様に、制御回路2により、優先権の有る装置10に対向する右ポートRからのアクセスは時間関係に無関係に常に受け、優先権の無い装置20に対向する左ポートL側のアクセスCS<sub>L</sub>は、オアゲート21により右ポートRからのアクセスとの競合を検出してその検出出力により、SRフリップフロップ22をセットしてその競合を記憶し左装置20のBUSY端子に伝達すると同時に、アンドゲート23

と反転回路232で構成される。そしてリセット信号発生器24は、負性のリセットパルスRBSYを発生するパルス発生器である。

第3図のタイムチャートにおいて、Aは優先権の有る右装置10のアクセスCS<sub>R</sub>が優先権の無い左装置20のアクセスCS<sub>L</sub>よりも先行している場合の例であり、Bは優先権の有る右装置10のアクセスCS<sub>R</sub>が優先権の無い左装置20のアクセスCS<sub>L</sub>よりも後になってその場合の例である。

先ず第3図のタイムチャートのAについて説明すると、最初は右装置10、左装置20が共にアクセスしていないので、デュアルポートメモリDPRAM1の左装置20からのアクセス信号の(3)CS<sub>L</sub>と右装置10からのアクセス信号の(4)CS<sub>R</sub>は共に“H”である。この時は、アクセス競合は発生していないので(6)BUSY<sub>R</sub>と(7)BUSY<sub>L</sub>は共に“H”でありオアゲート21の負性のOR回路211の出力も“H”である。右装置10からのアクセスが無ければ、左装置20が何時アクセスしても競合は発生しない。

左装置20のアクセスは、リセット信号発生器24

へ送り、アンドゲート23にて自分側のアクセスCS<sub>L</sub>が禁止されることを検出して、DPRAMのCS<sub>L</sub>端子に伝えて左装置20のデータ書き込みを禁止して右装置10のアクセスを優先させる。そして左装置20は、BUSY端子の状態“L”を見てアクセス競合が発生したことを知り、リセット信号発生器24の出力RBSYにより再度SRフリップフロップ22をリセットして再アクセスするようにしてアドレス衝突を避けるので問題が解決される。

#### (実施例)

第2図は本発明の実施例のデュアルポートメモリの制御回路の構成を示すブロック図であり、第3図はその動作を説明するためのタイムチャートである。第2図のブロック図において、制御回路2は、オアゲート21が、その入力と出力に反転回路をもつ負性のOR回路211で構成され、SRフリップフロップ22は、入力に反転回路をもつOR回路221とOR回路224で構成され、アンドゲート23は、入力と出力に反転回路をもつ負性のAND回路231

の出力の負性“L”のリセットパルス(2)RBSYを一瞬出力してSRフリップフロップ22の負性のOR回路222へ入力してクリアすることから始まる。

オアゲート21のOR回路211の出力は“H”であるので、SRフリップフロップ22の出力端Qに接続された左装置20の(8)BUSYは、SRフリップフロップ22のリセットにより負性のOR回路221の出力端Qのリセットされた正符号“H”が伝達される。

この状態で左装置20のアクセス信号(3)CS<sub>L</sub>を“L”にすると、アンドゲート23の負性のAND回路231の出力も“L”になって(5)CS<sub>L</sub>も“L”になり左装置20のアクセスが受けられる。

次に若しこの瞬間に右装置10が既にアクセスして、図の如く、(4)CS<sub>R</sub>が“L”になっていれば(7)BUSY<sub>L</sub>が“L”になって左装置20からの書き込みが禁止されると同時に、オアゲート21のOR回路211の出力は“L”となり、その出力“L”がSRフリップフロップ22をセットする。SRフリップフロップ22がセットされるとその出力端Qの符号“L”が左装置20のアクセス停止信号の検出端子BUSYに供給

され(8)BUSY が“L” になって競合が発生したことを左装置20に知らせる。それと同時に、アンドゲート23の負性のAND 回路231へ送られAND 回路231の出力が“H” になって(5)CS<sub>L</sub> も“H” になり左装置20のデータ書き込みが直ちに禁止される。従って競合状態は、この瞬間に解消する。

左装置20の端子BUSYは、一旦SRフリップフロップ22の出力“L” により“L” となると、リセット信号RBSYによってリセットされる迄はその符号“L” の状態が保持されるので、左装置20は、アクセス終了後に端子BUSYの状態L,Hを調べることで競合が発生したか否かを知ることが出来る。そして競合が発生して“L” の状態になっていれば、再度リセット信号発生器24の出力のリセットパルス(2)RBSYによりSRフリップフロップ22をリセットすることによりアクセスし直すことが出来る。

第3図のタイムチャートBは、(3)CS<sub>L</sub>と(4)CS<sub>S</sub>に示す如く、左装置20が先にアクセスしていて右装置10が後からアクセスして来た場合の例であって、この場合にも、(5)BUSY<sub>L</sub>によってオア

ゲート21の出力が“L” となりSRフリップフロップ22がセットされ、SRフリップフロップ22の出力“L” により左装置20のBUSY符号(6)が“H” から“L” となる。それと同時に、SRフリップフロップ22の出力“L” がAND 回路231に送られ、AND 回路231の出力が“H” になり(5)CS<sub>L</sub> も“H” となり左装置20のデータ書き込みが禁止される。従って競合状態は、この瞬間に解消する。その後、左装置20は、Aの場合と同様に、再度、リセット信号発生器24の出力のリセットパルス(2)RBSYによりSRフリップフロップ22をリセットすることによりアクセスし直すことが出来る。

以上の動作により、第2図の実施例のデュアルポートメモリ1は、制御回路2により、優先権の有る右装置10に対向する右ポートRからのアクセスは時間関係に無関係に常に受け、優先権の無い左装置20に対向する左ポートLからのアクセスCS<sub>L</sub>は、右ポートRのアクセスとの競合時にオアゲート21により競合の発生を検出してSRフリップフロップ22をセットしてその出力端Qにその競合

情報を蓄積し、アンドゲート23により自分LのアクセスCS<sub>L</sub>を禁止して右装置10のアクセスを優先する。そして左装置20は、BUSY端子にてアクセス競合の発生したことを知り、リセット信号RBSYにより再度アクセスするようにするので問題は無い。

#### 〔発明の効果〕

以上説明した如く、本発明によれば、デュアルポートメモリが、例えばマイクロプロセッサと非同期で動作する外部装置との間に置かれ、夫々のデータを伝送する場合などにおいて、外部装置に常時アクセスの優先権を与えることが出来て、双方の装置からのアクセスの競合による送出データの欠落を防止することが出来る効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明のデュアルポートメモリの制御回路の構成を示す原理図、

第2図は本発明の実施例のデュアルポートメモリの制御回路の構成を示すブロック図、

第3図は本発明の実施例の動作を説明するためのタイムチャート、

第4図は従来のデュアルポートメモリ使用のデータ伝送方式のブロック図である。

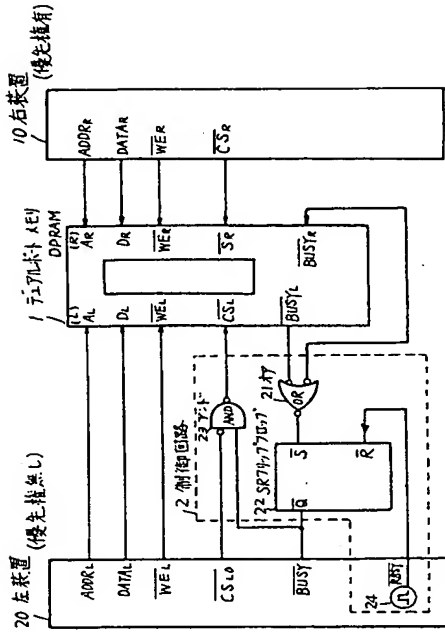
第5図は従来のデュアルポートメモリの動作を説明する説明図である。

図において、

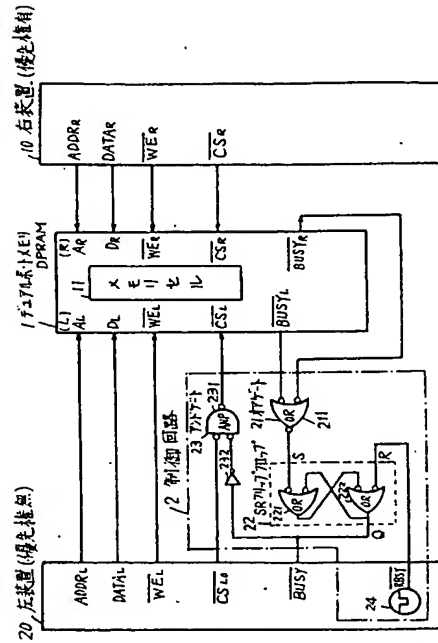
1はデュアルポートメモリ、10は右装置、20は左装置、2は制御回路、21はオアゲート、22はSRフリップフロップ、23はアンドゲート、24はリセット信号発生器である。

代理人 弁理士 井桁貞一

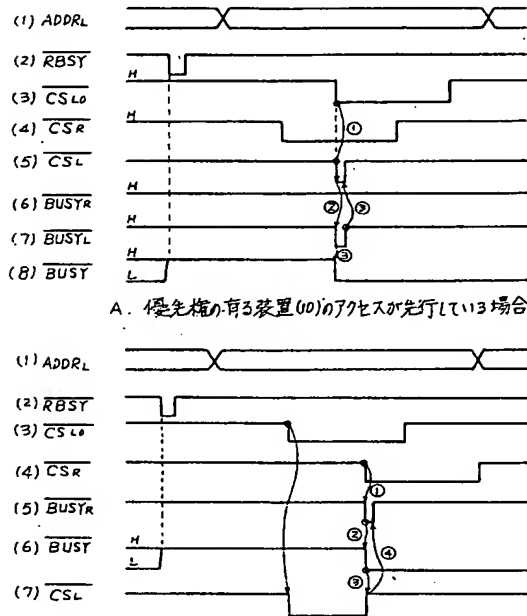




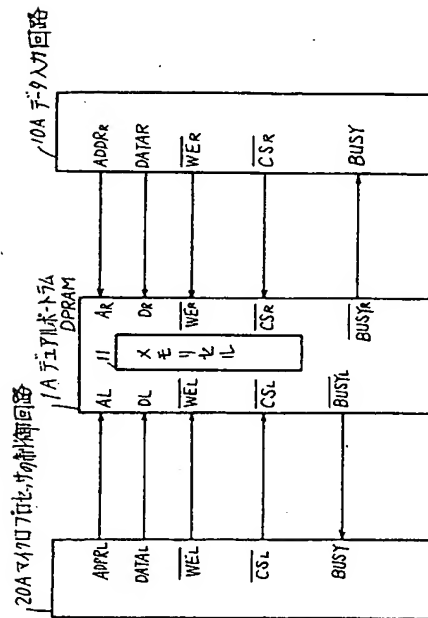
第1図  
本発明のデュアルポートメモリの制御回路の構成を示す原理図



第2図  
本発明の実施例のデュアルポートメモリの制御回路の構成を示すブロック図



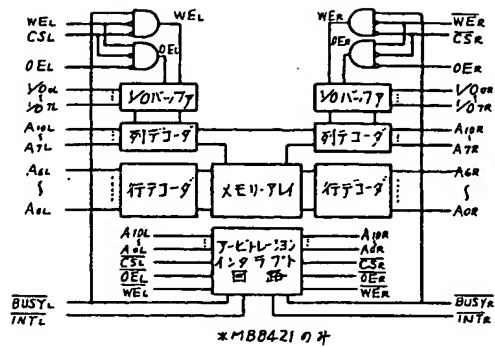
第3図  
A. 優先権のある装置(10)のアクセスが先行している場合  
B. 優先権のある装置(10)のアクセスが後行する場合  
本発明の実施例の動作を説明するためのタイムチャート



第4図  
従来のデュアルポートメモリ使用のデータ伝送方式のブロック図



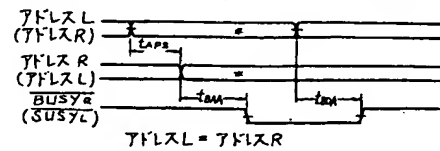
ブロックダイヤグラム



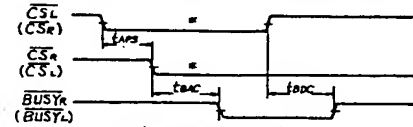
従来のデュアルポートメモリの動作を説明する説明図  
第5図 (4の1)

## コンテンションサイクル

コンテンションサイクルNo.1 (アドレスコントロール)(Note 6, 7) -


$$A \circ L \circ L = A \circ L \circ R$$

コンテンションサイクル No.2 (CS コントロール) (Note 6.8)



\*  $\text{Ad}L = \text{Ad}R$

従来のデュアルポートメモリの動作を説明する説明図  
第5図 (その2)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**